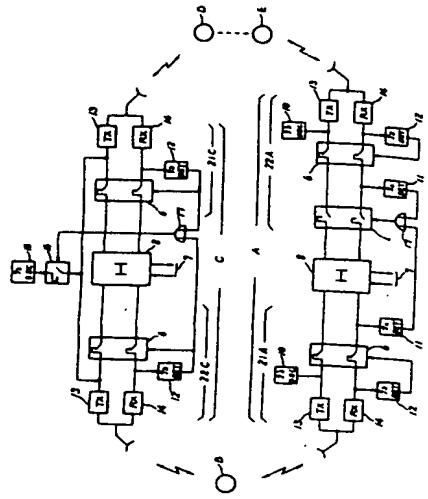


(54) LOOP MONITOR SYSTEM

(11) 58-77346 (A) (43) 10.5.1983 (19) JP
 (21) Appl. No. 56-176673 (22) 2.11.1981
 (71) NIPPON DENKI K.K. (72) OSAMU UCHIYAMA
 (51) Int. Cl³. H04B17/00, H04B7/00, H04L11/00

PURPOSE: To reduce the cost of the entire system by performing the loop and section monitor with one wave.

CONSTITUTION: A monitoring master station A is provided with a transmitter 10 using a signal f_3 , modulating a section monitor signal f_3 with a loop monitor signal f_4 , and the f_3 is transmitted to a loop transmission line bidirectionally. Slave stations B~E detect 12 the presence/absence of the section monitor signal f_3 in the signal f_3 , bidirectionally inputted from the loop transmission line. When the signal f_3 is present, the signal f_3 is bidirectionally transmitted. One detector 12 of the slave stations B~E detects the absence of the signal f_3 , it is discriminated as a failure of the section, a contact 6 for the failed side is opened and a contact 16 is closed at the same time, and the section monitor signal f_3 only from an oscillator 15 is transmitted to an opposite transmission line. A detector 12 of the master station A monitors the circulated signal f_3 or the signal f_3 from an adjacent station for the monitor of section, and a detector 11 performs loop monitor with the signal f_4 . If the loop is opened, a contact 1 is closed and a base band signal is bidirectionally transmitted.

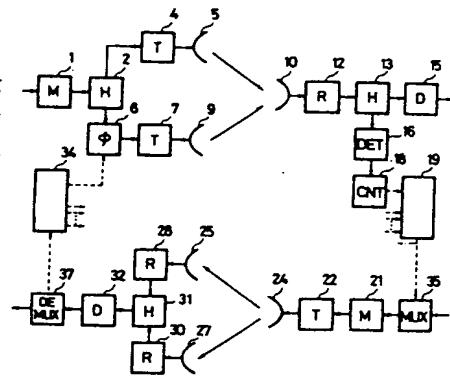


(54) TRANSMISSION SPACE DIVERSITY CONTROLLING SYSTEM

(11) 58-77348 (A) (43) 10.5.1983 (19) JP
 (21) Appl. No. 56-176673 (22) 2.11.1981
 (71) NIPPON DENKI K.K. (72) HIROSHI SEGUCHI
 (51) Int. Cl³. H04L1/06

PURPOSE: To simply and economically transmit control signals, by transmitting a transmission diversity control signal through the use of a vacant bit in a main signal transmission frame of a digital radio transmission system.

CONSTITUTION: An output of a modulator 1 is divided into two at a 2-branching circuit; one is transmitted from a transmission antenna 5 via a transmitter 4 and the other is transmitted from a transmission antenna 9 via a transmitter 7 after phase control at an infinite phase shifter 6. After those signals are amplified at a receiver 12, they are divided into two at a 2-branching circuit 13; one is applied to a demodulator 15 and the other is applied to a phase difference or amplitude distortion detecting circuit 16, and an SD control signal for the phase shifter 6 is generated at an SD (space diversity) control circuit 18. This SD control signal is applied to a time division multiple write circuit 35 via a line controller and written in a specified vacant bit located in the main signal transmission frame. The SD signal transmitted via a modulator 21, a transmitter 22, and a transmission antenna 24 is read out at a time division multiple readout circuit 37 and applied to the phase shifter 6.



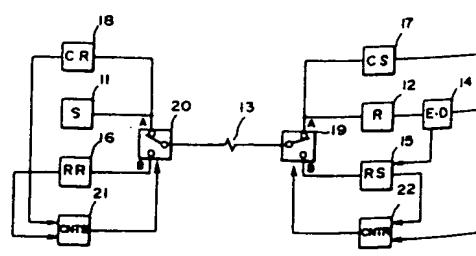
19.34: circuit controller

(54) CODE ERROR RETRANSMITTING SYSTEM

(11) 58-77349 (A) (43) 10.5.1983 (19) JP
 (21) Appl. No. 56-175735 (22) 4.11.1981
 (71) OKI DENKI KOGYO K.K. (72) NOBUYOSHI KIMURA
 (51) Int. Cl³. H04L1/16//H04L5/16

PURPOSE: To retransmit code error without decreasing the speed of code transmission of a transmission line, by switching the response line only if the code error takes place, through the transmission of a switching signal from the reception to the transmission side.

CONSTITUTION: If an error takes place during the transmission of code, a code error detector 14 is operated at the reception side, which drives a switching signal transmitter 17 and transmits the switching signal to the transmission side on one hand, and drives a reception switching device control section 22 and switches a reception side line switching device 19 from A to B on the other hand. At the reception side, when a switching signal receiver 18 receives the switching signal, a transmission switching device control section 21 is driven to switch a transmission line switching device from A to B for the preparation of the reception of a response signal. At the reception side, a response signal transmitter 15 transmits the response signal to the transmission side for a prescribed time through the detection of code error for the information of details of the error. When the transmission of the response signal is completed, the device 19 is switched from B to A through the control of the section 22 to wait for the retransmission from the transmission side.



a: transmission side. b: reception side

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭58-77348

⑫ Int. Cl.³
H 04 L 1/06

識別記号 廷内整理番号
7251-5K.

⑬ 公開 昭和58年(1983)5月10日

発明の数 1
審査請求 未請求

(全 3 頁)

④ 送信スペースダイバーシティ制御方式

東京都港区芝五丁目33番1号

本電気株式会社内

⑤ 特 願 昭56-176673
⑥ 出 願 昭56(1981)11月2日
⑦ 発明者 濑口宏

⑧ 出願人 日本電気株式会社

東京都港区芝5丁目33番1号

⑨ 代理人 弁理士 井出直孝

明細書

1. 発明の名称

送信スペースダイバーシティ制御方式

2. 特許請求の範囲

(1) 受信端局で得られた位相制御信号を送信端局へ転送し送信端局の多相器を制御するよう構成されたデジタル無線伝送方式の送信スペースダイバーシティ制御方式において、上記デジタル無線伝送方式の主信号伝送フレームにあらかじめ小さい空ビットを記憶し、この空ビットに送信スペースダイバーシティ制御信号を時分割多重して伝送することを特徴とする送信スペースダイバーシティ制御方式。

3. 発明の詳細な説明

本発明は、デジタル無線伝送方式に用いられる送信スペースダイバーシティ制御方式に関するものである。一般的に、QAM (quadrature amplitude mod-

ulation) 伝送方式のような高品質で高密度をデジタルマイクロ回線用の制御回線としては、時分割多重デジタル方式またはFM (frequency modulation) やFSK (frequency shift keying) 等のアナログ複合変調方式あるいは両者の併用方式等の制御回線が広く知られている。これらの伝送方式では、大容量で高速を要する端局間の監視および制御信号は、主デジタル信号に時分割で多重化するデジタル制御回線で伝送し、小容量かつ低速でよい各局間の監視および制御信号は、アナログ複合変調制御回線で伝送する技術が知られている。

一方、限定された立地条件のもとでは、スペースダイバーシティ(以下「SD」という。)方式をとろうとすると、受信SD方式を設置することができず、送信SD方式をとらなければならないことがある。この送信SD方式では、受信端局で得られる位相制御信号を相手側の送信端局へ転送する必要があり、上述のような制御回線では処理できない。

本発明はこれを改良するもので、従来の端局間デジタル制御回線、あるいは端局間のアナログ複合変調回線を用いて、送信 S/D 方式の制御信号が伝送できない場合に、この制御信号を簡便にかつ経済的に受信端局から送信端局に伝送する方法を提供することを目的とする。

本発明はデジタル無線伝送方式の主信号伝送フレームに、あらかじめ小さい空ビットを配置しておき、この空ビットに送信ダイバーシティ制御信号を時分割多重して伝送することを特徴とする。

このことを図面によりさらに詳しく説明する。

第1図は、従来例のアメ複合変調を用いた送信 S/D 方式の制御回線の構成図である。

まず、上り回線について説明すると、変調器 1 の出力信号は 2 分波回路 2 で 2 分され、一方は送信機 4 を介して送信アンテナ 5 から送出される。また他方は無限移相器 6 により位相制御された後に、送信機 7 を介して送信アンテナ 9 から送出される。これらの S/D 制御信号は受信アンテナ 10 により受信されて受信機 12 で所定レベルまで増幅さ

れた後、2 分波回路 13 により 2 分され、一方は復調器 15 により上り回線復調信号として出力される。また他方は位相差または振幅歪検出回路 16 の入力となる。この検出回路 16 は S/D 制御信号の位相差または振幅歪を検出し、S/D 制御回路 18 により前記無限移相器 6 の制御方向を判定してこの制御信号を S/D 制御回路 18 から送出する。

次に下り回線も同様に変調器 21 の出力信号は送信機 22 を介して送信アンテナ 24 から送出される。この出力信号は 2 つの受信アンテナ 25 および 27 により S/D 受信され、それぞれ受信機 28 および 30 により所定レベルまで増幅され、さらに合成回路 31 により合成されて復調器 32 から下り回線復調信号として出力される。この復調器 32 は以下に述べる手段により上り回線受信部で得られた S/D 制御信号を無限移相器 6 へ転送する。

すなわちまず上り並設回線の各 S/D 制御信号を回線制御装置 19 でまとめて、下り回線の送信機 22 の送信局発周波数をアメ変調し、これを下り回線の復調器 32 のキャリア同期回路でアメ復調して回

線制御装置 34 により各並設回線の S/D 制御信号として分離し取出して無限移相器 6 の位相を制御するのである。

この従来の複合変調方式は簡便な方法で経済性は優れているが、複合変調による主デジタル信号の劣化を無視することができます。この信号の劣化を許容値以下に抑えるために伝送容量が制限されて、マルチバスフェーディングを克服するに必要な十分な応答速度を得ることができない。またこれを解決するために複合変調を行わず独立した制御回線を設けることは経済性に難点があつた。

一般に無線区間では、端端から受波されたデータ信号を速度変換してデータ列の間に等間隔でフレームペルス、スタートペルス、パリティチェックペルス、デジタル制御信号ペルス等を挿入して伝送し種々の制御を行うが、この無線区間デジタル信号のフレーム構成を作成する場合には、1 ビット程度の空ビットが生ずる場合や、あるいは機器構成や価格に影響なく空ビットを故意に配置する場合もある。

本発明は、無線区間デジタル信号のフレーム構成に生じるとの 1 ビット程度の空ビットを送信 S/D 制御信号等のアナログ制御線では伝送できない制御信号の伝送に使おうとするものである。

第2図は本発明実施例制御回線の構成図である。第2図において、各符号は第1図の各符号にそれぞれ対応する。

本実施例の特徴ある構成は、前記回線制御装置 19 から送出される S/D 制御信号を主信号伝送フレームの所定の空ビットに書き込み時分割多重する時分割多重書き込み回路 35 が変調器 21 の入力に接続され、かつこの時分割多重された S/D 制御信号を読み出し、この S/D 制御信号を前記回線制御装置 34 に送出する時分割多重送出回路 37 が復調器 32 の出力に接続されることにある。

このような構成で送信部では時分割多重書き込み回路 35 により入力データ列の所定の空ビットに回線制御装置 19 でまとめた並設回線の各 S/D 制御信号が書き込まれ時分割多重される。また、受信部の時分割多重送出回路 37 は所定の空ビットに書き込まれ

た S D 制御信号を読み出し回路制御装置 34 で各並設回線の制御信号を分離し取出して無限移相器 6 を制御する。

以上述べたように、本発明によれば高密度デジタル方式の回線構成上必要な機器に簡単な時分割多重書き込み路とよび読み出しひ路を追加するだけで、中容量で高速の送信 S D 制御回線を構成することができる優れた効果がある。さらに送信 S D 制御回線に限らず本来の回線に付加的を制御回線にも適用することも可能である。

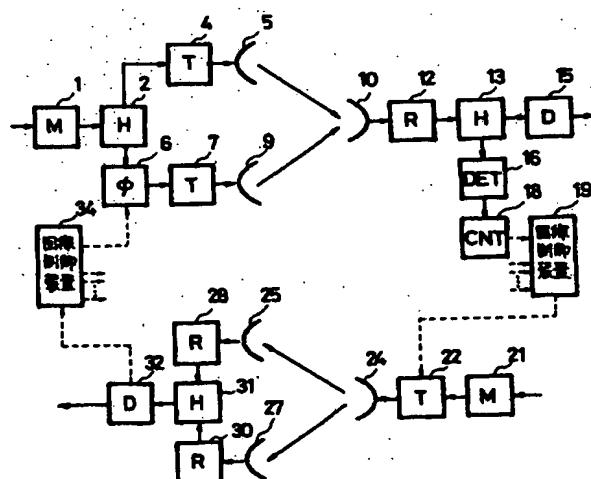
特許出願人 日本電気株式会社
代理人 外國士井出直一

4. 回路の簡単な説明

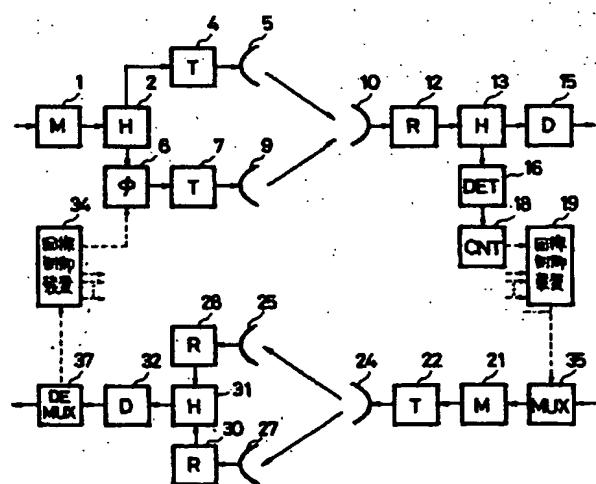
第 1 図は従来例制御回線の構成図。

第 2 図は本発明実施例制御回線の構成図。

- 1、21…変調器、2、13…2 分岐回路、4、7、
22…送信機、6…無限移相器、5、9、24…送信
アンテナ、10、25、27…受信アンテナ、12、28、
30…受信機、15、32…復調器、16…検出回路、18
…S D 制御回路、19、34…回線制御装置、31…合
成回路、35…時分割多重書き込み路、37…時分割多



第 1 図



第 2 図